

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05207062 A**

(43) Date of publication of application: **13.08.93**

(51) Int. Cl. **H04L 12/56**

(21) Application number: **04011544**

(71) Applicant: **NEC CORP**

(22) Date of filing: **27.01.92**

(72) Inventor: **HAN ZUISETSU**

(54) **PACKET SWITCHING SYSTEM**

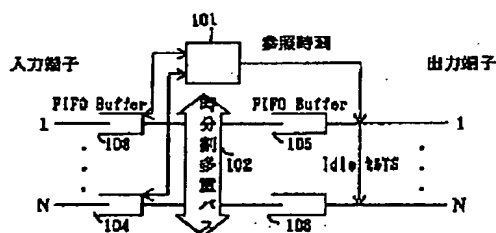
written on it.

(57) Abstract:

COPYRIGHT: (C)1993,JPO&Japio

**PURPOSE:** To reduce delay to maintain the sequence of a packet in a multistage connection packet switching network.

**CONSTITUTION:** A device 101 which finds reference time finds the minimum value of time stamp of the packets located at the leading positions of FIFO input buffers 103, 104, and sets them as the reference time at this stage. An effective packet provided with the minimum time stamp is selected, and it is accumulated in FIFO output buffers 105, 106 at desired output terminals via a time division multiplex bus 102. However, such operation is performed for N times at certain packetizing time at an input/output terminal. When the packet is outputted from the FIFO output buffer, an idle packet is outputted to the next stage by attaching the reference time when the buffer is vacant. When the packet located at the end position in the buffer is the effective packet, an inputted packet is written on the FIFO input buffer behind the packet, and when the last packet is the idle packet, the inputted packet is



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-207062

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.<sup>5</sup>

H 0 4 L 12/56

識別記号

庁内整理番号

F I

技術表示箇所

8529-5K

H 0 4 L 11/ 20

1 0 2 A

審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号 特願平4-11544

(22)出願日 平成4年(1992)1月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 ▲はん▼ 瑞雪

東京都港区芝五丁目7番1号 日本電気株式会社内

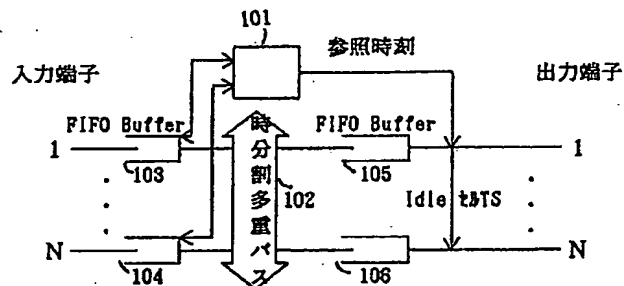
(74)代理人 弁理士 岩佐 義幸

(54)【発明の名称】 パケット交換方式

(57)【要約】

【目的】 多段接続パケット交換網において、パケットの順序を維持するための遅延を小さくする。

【構成】 参照時刻を求める装置101は、各FIFO入力バッファ103、104の先頭にあるパケットのタイムスタンプの最小値を求め本段の参照時刻とする。最小タイムスタンプを持つ有効パケットが選択され、出力アドレスに基づき、時分割多重バス102を経て希望の出力端子のFIFO出力バッファ105、106に蓄積される。但し、入出力端子における一パケット時間にこの動作をN回行う。FIFO出力バッファからパケットを出力するとき、バッファが空きであれば参照時刻をアイドルパケットに載せて次段に出力する。FIFO入力バッファでは、バッファの最後尾のパケットが有効パケットであれば入力するパケットをその後に書き込み、最後尾のパケットがアイドルパケットであれば入力するパケットをその上に書き込む。



**【特許請求の範囲】**

【請求項1】複数の入力ポートから入力されたパケットに、入力時刻を表すタイムスタンプを付与し、複数の出力端子へ出力する分配手段と、前記分配手段から出力されるパケットを出力アドレス情報にもとづき交換処理を行って所望の出力ポートに出力する多段に接続される複数のパケットスイッチと、前記複数のパケットスイッチの各々に対応して設置され、対応するパケットスイッチに入力されるパケットをそのパケットに付与されているタイムスタンプの順序に従い、次段のパケットスイッチへ出力する順序整列手段とからなるパケット交換方式において、

前記複数のパケットスイッチの一段目の各パケットスイッチは複数の入力端子と、複数の出力端子と、前記複数の出力端子に対応して設置されている出力バッファを持ち、前記複数のパケットスイッチの二段目以後の各パケットスイッチは複数の入力端子と、前記複数の入力端子に対応して設置されている入力バッファと、複数の出力端子（最後の段の各パケットスイッチは複数の出力ポート）と、前記複数の出力端子（最後の段の各パケットスイッチは前記複数の出力ポート）に対応して設置されている出力バッファを有し、

前記一段目の各パケットスイッチは前記分配手段から出力されるパケットをそのパケットの出力アドレス情報に基づき出力バッファに出力し、前記出力バッファからその出力バッファに接続されている次段のパケットスイッチにパケットを出力するとき、タイムスタンプの順序に従い出力し、前記出力バッファが空きであれば、現時刻を参照時刻として前記次段のパケットスイッチに出力し、二段目以後の各パケットスイッチは前後のパケットスイッチから入力されるパケットを入力バッファに投入し、前記入力バッファからパケットを出力するとき、前記複数の入力バッファにおけるパケットに付与されているタイムスタンプと前後のパケットスイッチからの参照時刻のうちの最小値を求めて当該段の参照時刻とするとともに、前記最小値を持つパケットをそのパケットの出力アドレス情報に基づき出力バッファに投入し、前記出力バッファからその出力バッファに接続されている次段のパケットスイッチ（或いは最終段のパケットスイッチの出力ポート）にパケットを出力するとき、タイムスタンプの順序に従い出力し、前記出力バッファが空きであれば、最終段のパケットスイッチを除いて当該段の参照時刻を前記次段のパケットスイッチに出力することを特徴とするパケット交換方式。

【請求項2】複数の入力ポートから入力されたパケットに、入力時刻を表すタイムスタンプを付与し、複数の出力端子へ出力する分配手段と、前記分配手段から出力されるパケットを出力アドレス情報にもとづき交換処理を行って所望の出力ポートに出力する多段に接続される複数のパケットスイッチと、前記複数のパケットスイッチの

各々に対応して設置され、対応するパケットスイッチに投入されるパケットをそのパケットに付与されているタイムスタンプの順序に従い、次段のパケットスイッチへ出力する順序整列手段とからなるパケット交換方式において、

前記複数の各パケットスイッチは複数の入力端子と、複数の出力端子（或いは出力ポート）と、入力されるパケットを蓄積するバッファを有し、

前記複数のパケットスイッチの一段目の各パケットスイッチは現時刻を当該段の参照時刻とし、一段目以外のパケットスイッチは接続されている前後の各パケットスイッチから出力される参照時刻と到着するパケットのタイムスタンプのうちの最小値を当該段の参照時刻とし、前記各パケットスイッチは入力されるパケットをバッファに蓄積し、前記バッファから出力端子（最終段のパケットスイッチは出力ポート）にパケットを出力するとき、そのバッファにおけるパケットの出力アドレス情報に基づき、前記出力端子に向かうパケットに付与されているタイムスタンプの最小値を求め、その最小値が前記当該段の参照時刻より大きくなければ、前記最小値を持つパケットを出力端子に出力し、前記最小値が前記当該段の参照時刻より大きければ、または、出力すべきパケットがなければ、最終段のパケットスイッチを除き前記当該段の参照時刻を次段のパケットスイッチに出力することを特徴とするパケット交換方式。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】本発明は、複数のモジュールパケットスイッチを多段に接続して構成する大規模パケット交換方式において、ハイ・パフォーマンスを得る交換方式構成に関するものである。

**【0002】**

【従来の技術】大規模パケット交換機を複数のモジュールパケットスイッチを多段に接続して構成する場合、ハイ・パフォーマンスを得るためには、一つの入力モジュールパケットスイッチから一つの出力モジュールパケットスイッチへ行くパケット呼の接続経路に関し、複数のパスを選択可能とする必要がある。この方法において、あるパケット呼が複数のパスの中から一つを選ぶというパス設定制御を集中的に行うと、交換機の規模は集中制御を行うデバイスの動作速度により制限される。この問題を解決するために、交換機の最前段に分配スイッチを配置し、一つの入力モジュールパケットスイッチから一つの出力モジュールパケットスイッチへ行くパケットがパケット毎に平均して複数のパスを一樣に利用するようにパケットを分配する、すなわちパス設定が不要である方式が有力である。但し、このようなパケット分配を行うと、違うパスを通過した同一の呼のパケットの出力モジュールパケットスイッチでの順序が狂ってしまう可能性がある。逆転したパケット順序を元に戻すためには、

交換機内での最大遅延を経たパケットから順番に出力ポートに出力する方法があるが、その方式では、固定遅延が非常に長くなってしまふ。

【0003】一方、交換機の遅延を短くするために、モジュールパケットスイッチにおいてパケット順序を維持しながらパケットを出力する方法が小原により（“セル順序を保存可能な多段バッファ形自己ルーチングスイッチの構成法”，電子情報通信学会論文誌B-I，J72-B-I，No. 9，pp. 698-709）提案されている。図4に同方式の3段構成の場合の例を示す。以下、本願においては、3段構成のスイッチ全体としての入出力端子を特に入出力ポートと呼ぶことにする。提案されたパケット交換方式は、複数の入力ポートから入力されたパケットに付与されるタイムスタンプをタイムスタンプ付与回路210により付与し、複数の出力端子へパケット分配回路211により分配し、分配回路211から出力されるパケットを出力ポートアドレス情報にもとづき多段に接続される複数のモジュールパケットスイッチ212，213，214，215，216，217，218，219，220，221，222，223により交換処理を行い、複数のモジュールパケットスイッチに対応して設置される順序整列回路により複数のモジュールパケットスイッチに入力されるパケットをそのパケットに付与されているタイムスタンプの順序に従い、次段のモジュールパケットスイッチへ出力する。

【0004】そのモジュールパケットスイッチの構成を図3に示す。スイッチ201，202は入力されたパケットをそのパケットの出力ポートアドレスに基づき出力端子に対応して接続されているFIFO（first in first out）バッファ203，204，205，206に転送し、各バッファはそのパケットを蓄積する。一つの出力端子に対応するN個のFIFOバッファにすべてパケットが存在する場合に限り、最小タイムスタンプを求める装置207，208により最小タイムスタンプを求め、その最小タイムスタンプを持つパケットを出力する。一方、一つ以上のバッファが空きである場合にはパケットを出力しない。従って、バッファの空き確率を小さくして遅延を短くするため、パケットが入力ポートに入力されない場合、タイムスタンプ付与回路210は、特定の行き先のないアイドルパケットにタイムスタンプを載せたタイムスタンプだけ有効のパケットをパケット分配回路211に送出する。スイッチ201，202は、タイムスタンプだけ有効のパケットを対応するN個のバッファに同報する。FIFOバッファにおいては最後尾のパケットが有効パケットである場合、そのパケットをそのあとに書き込み、最後尾のパケットがタイムスタンプだけ有効のパケットである場合、このパケットをその上に書き込む。

【0005】

【発明が解決しようとする課題】以上述べたタイムスタ

ンプだけ有効のパケットを交換機の入口で生成することによってバッファの空き確率を小さくして遅延を減らすパケット順序整列法においては、タイムスタンプだけ有効のパケットを対応するN個のバッファに同報しても、モジュールパケットスイッチのサイズが大きい場合、バッファの空き確率が増え、遅延を短くする効果が小さくなる。また、すべての入力端子にパケットが到着している場合でも、行き先が偏ればバッファが空きになることがあるので、段数が増えるにつれて遅延が長くなってしまふ。

【0006】本発明の目的は、このような従来方式の欠点を改善してモジュールパケットスイッチに入力されたパケットの最小タイムスタンプを参照しながらパケットを出力する多段パケット交換方式において、遅延時間を減らすパケット順序整列法を採用したパケット交換方式を提案することにある。

【0007】

【課題を解決するための手段】第1の発明は、複数の入力ポートから入力されたパケットに入力時刻を表すタイムスタンプを付与し、複数の出力端子へ出力する分配手段と、前記分配手段から出力されるパケットを出力アドレス情報にもとづき交換処理を行って所望の出力ポートに出力する多段に接続される複数のパケットスイッチと、前記複数のパケットスイッチの各々に対応して設置され、対応するパケットスイッチに入力されるパケットをそのパケットに付与されているタイムスタンプの順序に従い、次段のパケットスイッチへ出力する順序整列手段とからなるパケット交換方式において、前記複数のパケットスイッチの一段目の各パケットスイッチは複数の入力端子と、複数の出力端子と、前記複数の出力端子に対応して設置されている出力バッファを持ち、前記複数のパケットスイッチの二段目以後の各パケットスイッチは複数の入力端子と、前記複数の入力端子に対応して設置されている入力バッファと、複数の出力端子（最後の段の各パケットスイッチは複数の出力ポート）と、前記複数の出力端子（最後の段の各パケットスイッチは前記複数の出力ポート）に対応して設置されている出力バッファを有し、前記一段目の各パケットスイッチは前記分配手段から出力されるパケットをそのパケットの出力アドレス情報に基づき出力バッファに出力し、前記出力バッファからその出力バッファに接続されている次段のパケットスイッチにパケットを出力するとき、タイムスタンプの順序に従い出力し、前記出力バッファが空きであれば、現時刻を参照時刻として前記次段のパケットスイッチに出力し、二段目以後の各パケットスイッチは前後のパケットスイッチから入力されるパケットを入力バッファに入力し、前記入力バッファからパケットを出力するとき、前記複数の入力バッファにおけるパケットに付与されているタイムスタンプと前後のパケットスイッチからの参照時刻のうちの最小値を求めて当該段の参照時

刻とするとともに、前記最小値を持つ packets をその packets の出力アドレス情報に基づき出力バッファに入力し、前記出力バッファからその出力バッファに接続されている次段の packets スイッチ（或いは最終段の packets スイッチの出力ポート）に packets を出力するとき、タイムスタンプの順序に従い出力し、前記出力バッファが空きであれば、最終段の packets スイッチを除いて当該段の参照時刻を前記次段の packets スイッチに出力することを特徴とする。

【0008】第2の発明は、複数の入力ポートから入力された packets に入力時刻を表すタイムスタンプを付与し、複数の出力端子へ出力する分配手段と、前記分割手段から出力される packets を出力アドレス情報にもとづき交換処理を行って所望の出力ポートに出力する多段に接続される複数の packets スイッチと、前記複数の packets スイッチの各々に対応して設置され、対応する packets スイッチに入力される packets をその packets に付与されているタイムスタンプの順序に従い、次段の packets スイッチへ出力する順序整列手段とからなる packets 交換方式において、前記複数の各 packets スイッチは複数の入力端子と、複数の出力端子（或いは出力ポート）と、入力される packets を蓄積するバッファを有し、前記複数の packets スイッチの一段目の各 packets スイッチは現時刻を当該段の参照時刻とし、一段目以外の packets スイッチは接続されている前後の各 packets スイッチから出力される参照時刻と到着する packets のタイムスタンプのうちの最小値を当該段の参照時刻とし、前記各 packets スイッチは入力される packets をバッファに蓄積し、前記バッファから出力端子（最終段の packets スイッチは出力ポート）に packets を出力するとき、そのバッファにおける packets の出力アドレス情報に基づき、前記出力端子に向かう packets に付与されているタイムスタンプの最小値を求め、その最小値が前記当該段の参照時刻より大きくなければ、前記最小値を持つ packets を出力端子に出力し、前記最小値が前記当該段の参照時刻より大きければ、または、出力すべき packets がなければ、最終段の packets スイッチを除き前記当該段の参照時刻を次段の packets スイッチに出力することを特徴とする。

【0009】

【作用】本発明によれば、各モジュール packets スイッチから packets を次段に出力するとき、出力すべき packets がない場合も、当該モジュール packets スイッチに入力された packets の最小タイムスタンプを参照時刻として次段のモジュール packets スイッチに通知することにより、packets の待ち時間を小さくし、交換機全体の遅延を減らすことができる。

【0010】

【実施例】まず、第1の発明の実施例として、FIFO 入力バッファ、FIFO 出力バッファ形モジュールパケ

ットスイッチを用いる方式を説明する。

【0011】図1に $N \times N$ のモジュール packets スイッチの構成例を示す。参照時刻を求める装置101は、各 FIFO 入力バッファ103、104の先頭にある packets のタイムスタンプの最小値を求め本段の参照時刻とする。この最小タイムスタンプを持つ有効 packets が選択され、出力アドレスに基づき、時分割多重バス102を経て希望の出力端子の FIFO 出力バッファ105、106に蓄積される。但し、入出力端子における一 packets 時間にこの動作を $N$ 回行う。FIFO 入力バッファ103、104は、このような最小タイムスタンプの選択を待ち合わせるためのものである。一方、FIFO 出力バッファ105、106から packets を出力するとき、バッファが空きであれば参照時刻をアイドル packets に載せて次段に出力する。FIFO 入力バッファ103、104では、アイドル packets がバッファを占領しないように、バッファの最後尾の packets が有効 packets であれば入力する packets をその後に書き込み、最後尾の packets がアイドル packets であれば入力する packets をその上に書き込む。

【0012】以上、実施例をもって第1の発明を説明したが、第1の発明は packets のタイムスタンプと参照時刻を packets の転送経路とは異なる専用バスを利用して次段に出力してもよい。また、第1の発明はクロスポイントバッファ形モジュール packets スイッチ、或いは、論理的に FIFO 入力、FIFO 出力バッファを構成する共有バッファ形モジュール packets スイッチを多段に接続して構成する packets 交換方式にも同様に適用できる。

【0013】次に、第2の発明の実施例として、クロスポイントバッファ形モジュール packets スイッチを用いる方式を説明する。

【0014】図2に $N \times N$ のモジュール packets スイッチの構成例を示す。 $1 \times N$ のスイッチ112、113は、入力されるアイドル packets を無視し、入力される有効 packets を出力ポートアドレスに従い、希望の出力端子の FIFO バッファ114、115、116、117に蓄積する。タイムスタンプの最小値を求める装置118、119は、バッファの先頭 packets のタイムスタンプを比較し、最小タイムスタンプを持つ packets を出力する。このように各モジュール packets スイッチがタイムスタンプ順に従って出力するので、packets 順序の逆転は生じない。しかし、各出力端子対応のバッファ中で、一つでも空のバッファがあれば、後から入力される packets のタイムスタンプが現時刻で求められた最小タイムスタンプより小さい場合がある。従って、バッファが空いている場合、packets の出力を停止する必要がある、遅延が大きくなる。

【0015】そこで、タイムスタンプの最小値を求める装置118、119で求められた最小タイムスタンプが

真の最小タイムスタンプであるかどうかを判断するための参照時刻として、モジュールパケットスイッチにその時点で入力されたパケットの最小タイムスタンプを求める。タイムスタンプの最小値を求める装置118, 119で求められた最小タイムスタンプが参照時刻より小さい、若しくは等しい場合、真の最小タイムスタンプと判断し、その最小タイムスタンプを持つパケットを出力する。このようにして、空いているバッファがあってもパケット順序の逆転が生じないようにセルを出力できるので、遅延を小さくできる。

【0016】具体的には、入力側に参照時刻を求める装置111を設け、入力パケットの最小タイムスタンプを求め参照時刻とする。パケットを出力するとき、タイムスタンプの最小値を求める装置111, 119は、求められた最小タイムスタンプを参照時刻と比較し、参照時刻より小さい、若しくは等しい場合は、求められた最小タイムスタンプを持つパケットを出力し、参照時刻より大きい、若しくは全てのバッファが空いている場合は、有効パケットが出力できないが、次段の参照時刻を更新するために、その段の参照時刻をアイドルパケットに載せて出力する。

【0017】以上では、クロスポイントバッファ形モジュールパケットスイッチについて説明したが、第2の発明は出力バッファ形、共有バッファ形モジュールパケットスイッチにも同様に適用できる。タイムスタンプが参照時刻より小さい、若しくは等しいパケットをタイムスタンプの順序に従い出力する方式としては、パケットを物理的または論理的にタイムスタンプの順序に並べ、先頭から出力する方式と、出力する度に一番小さいタイムスタンプを持つパケットを求めて出力する方式等がある。また、タイムスタンプと参照時刻を次段のスイッチに出力する手段としては、上に述べたタイムスタンプを有効パケットに載せ、参照時刻をアイドルパケットに乗せて出力する方式や、各モジュールパケットスイッチの制御ユニットの間に専用バスを設けて転送する方式等がある。

#### 【0018】

【発明の効果】以上に説明したとおり、第1の発明によればパケット分配手段を有し、モジュールパケットスイッチを多段に接続して構成するパケット交換方式において、パケットを順序が逆転しないように次段に出力して

良い時刻を求め、それを参照してパケットを出力するので、遅延を減らす効果が得られる。遅延が短くなることによってパケットのバッファ占有時間が減り、同じバッファ長であればパケット廃棄率が小さくなりスループットが高くなる。また、モジュールパケットスイッチ内において、タイムスタンプだけ有効のパケットを各出力バッファに同報しなくても良い。

【0019】また、第2の発明によれば、パケット分配手段を有し、モジュールパケットスイッチを多段に接続して構成するパケット交換方式において、パケット順序が逆転しないように、モジュールパケットスイッチに入力されたパケットの最小タイムスタンプを参照時刻として求め、それを参照してパケットを出力するので、遅延を短くすることができる。遅延が短くなることによりパケットの各バッファにおける滞留時間が減少し、同じバッファ長である場合、パケット廃棄率が小さくなり、スループットが高くなる。

#### 【図面の簡単な説明】

【図1】第1の発明の一実施例を説明するためのブロック図である。

【図2】図1は本発明の一実施例を説明するためのブロック図である。

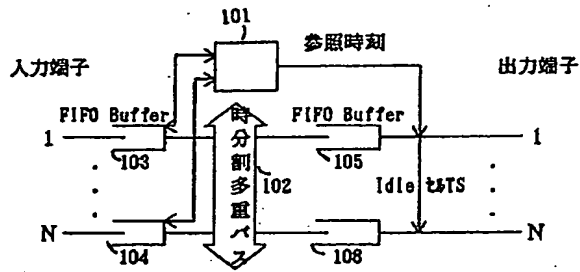
【図3】従来技術を説明するための図である。

【図4】従来技術を説明するための図である。

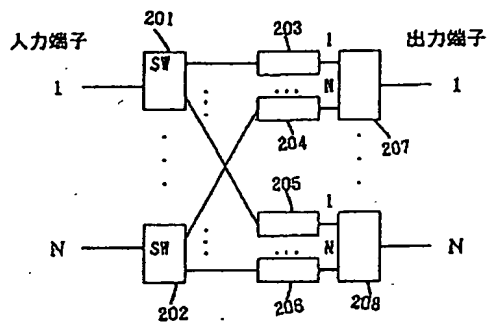
#### 【符号の説明】

- 101 参照時刻を求める装置
- 102 時分割多重バス
- 103, 104 FIFO入力バッファ
- 105, 106 FIFO出力バッファ
- 111 参照時刻を求める装置
- 112, 113 1×Nスイッチ
- 114, 115, 116, 117, FIFOバッファ
- 118, 119 タイムスタンプの最小値を求める装置
- 201, 202 1×Nスイッチ
- 203, 204, 205, 206 FIFOバッファ
- 207, 208 タイムスタンプの最小値を求める装置
- 210 タイムスタンプ付与回路
- 211 パケット分配回路
- 212, 213, 214, 215, 216, 217, 218, 219, 220, 221, 222, 223 モジュールパケットスイッチ

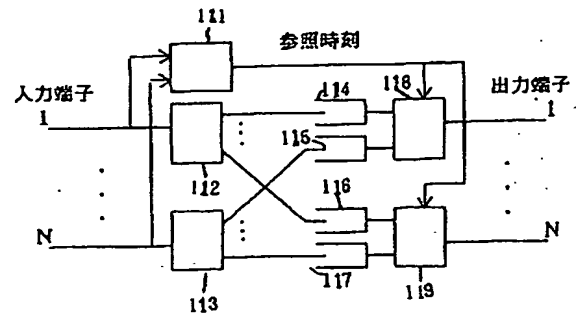
【図1】



【図3】



【図2】



【図4】

